

PAT-NO: JP404311277A

DOCUMENT-IDENTIFIER: JP 04311277 A

TITLE: DEVICE FOR INSPECTING MOUNTING  
DEVIATION OF CHIP PARTS

PUBN-DATE: November 4, 1992

INVENTOR-INFORMATION:

NAME

SHOJI, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP03076657

APPL-DATE: April 10, 1991

INT-CL (IPC): G06F015/62, G01B011/24 , H01L021/66 ,  
H05K013/08

ABSTRACT:

PURPOSE: To easily discriminate such defective mounting as deviation of chip parts so as to improve the defect detecting power by processing the addition and subtraction data of the areas of inspection windows generated in an axially symmetrical state.

CONSTITUTION: An in-window area computation circuit 11 finds the total sum of binarized picture data in inspection windows 9a-9d generated by an inspection window generation circuit 10 and outputs the found total sum to

addition/ subtraction circuits 12 and 13 and a mounting deviation discrimination circuit 14. The circuit 12 performs addition/subtraction on the total sums of the picture data in the windows 9a and 9b. The added output data (a) and subtracted output data (absolute value data) (b) of the circuit 12 are inputted to the circuit 14. The circuit 13 performs addition/subtraction on the total sums of the picture data in the windows 9a and 9d and the added output data (c) and subtracted output data (absolute value data) (d) of the circuit 13 are inputted to the circuit 14 by which a defective mounting deviation is discriminated.

COPYRIGHT: (C)1992,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-311277

(43)公開日 平成4年(1992)11月4日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/62	4 0 5 C	8526-5L		
G 0 1 B 11/24		C 9108-2F		
H 0 1 L 21/66		J 7013-4M		
H 0 5 K 13/08		B 8315-4E		

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-76657

(22)出願日 平成3年(1991)4月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小路 博之

東京都港区芝五丁目7番1号日本電気株式  
会社内

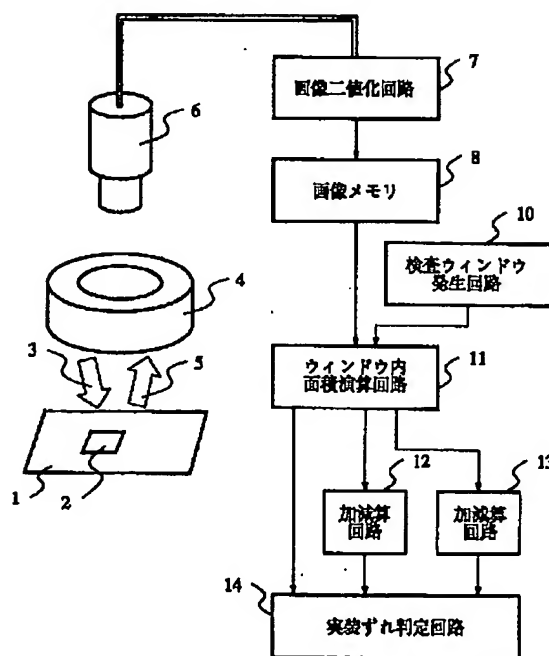
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 チップ部品の実装ずれ検査装置

(57)【要約】

【目的】チップ部品の各実装パッドの両側に検査ウィンドウを発生させ線対称に発生した検査ウィンドウ内の面積の加減算データを処理する事によって $\theta$ ずれ実装不良の良否判定がしやすく判定ミスの低減を可能にする。

【構成】チップ部品のパッドの両側に検査ウィンドウ発生回路10が検査ウィンドウを発生し、実装ずれ判定回路14が加減算回路12、13の出力及びウィンドウ内面積演算回路11の出力データをもとに実装ずれの良否判定を行う。



## 【特許請求の範囲】

【請求項1】 プリント基板上のチップ部品に照明を照射する照明器具と、前記照明による反射光を取り込むカメラと、前記カメラが取り込んだ画像のアナログ濃淡信号を二値化する二値化回路と、前記二値化回路の出力である画像データを蓄えるメモリと、各パッドの両側に検査ウィンドウを発生させる検査ウィンドウ発生回路と、前記検査ウィンドウ内の画像データの面積を計算するウィンドウ内面積演算回路と、線対称に発生した検査ウィンドウの面積の加減算を行う加減算回路と、前記加減算回路の出力データと該ウィンドウ内面積演算回路の出力データから実装ずれの良否判定をする判定回路とを含むことを特徴とするチップ部品の実装ずれ検査装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はチップ部品の実装ずれ検査装置、特に、プリント基板上に実装されたチップ部品の実装ずれを外観上から検査することを特徴とする、チップ部品の実装ずれ検査装置に関する。

## 【0002】

【従来の技術】 図3は従来の一例を示すブロック図である。図3に示すチップ部品の実装ずれ検査装置は、プリント基板1上に実装されているチップ部品2に照明光3を照射するリング状照明装置4と、反射光5の画像を取り込むカメラ6と、カメラ6の出力が接続されている二値化回路7と、二値化回路7の出力が接続されている画像メモリ8と、第4図に示されているような検査ウィンドウ16を発生する検査ウィンドウ発生回路17と、検査ウィンドウ発生回路17と画像メモリ8が接続されているウィンドウ内面積演算回路18と、ウィンドウ内面積演算回路18の出力が接続されている実装ずれ判定回路19を有している。

【0003】 カメラ6は、照明装置4がチップ部品2に照明光3を照射した時の反射光5を取り込む。画像二値化回路7は、カメラ6の出力であるアナログ濃淡信号を二値化し、画像メモリ8に出力する。ウィンドウ内面積演算回路18は、検査ウィンドウ発生回路17が発生した検査ウィンドウの中の二値化された画像データの総和を求める。実装ずれ判定回路19は、ウィンドウ内面積演算回路18の出力データとしきい値とを比較することにより実装ずれの良否判定をする。

【0004】 図4は、従来の技術における検査ウィンドウ発生の際の概略を示す上面図である。例として、チップ・サイズは2.00 (mm) × 1.25 (mm)、パッド・サイズは1.70 (mm) × 1.45 (mm)、カメラの分解能は25 (μm) とし、許容できる実装ずれの最小値を1.25 (mm) の3分の1つまり約0.417 (mm) とする。したがって、検査ウィンドウ16の発生座標は、パッドから16画素 (= 0.4 mm) 離れた座標とする。検査ウィンドウ16のサイズは2画素 ×

120画素とする。

【0005】 図5は、チップの重心を中心にして角度 $\theta$  ( $0^\circ \leq \theta \leq 90^\circ$ ) だけ実装がずれた場合の概略を示す上面図である。この場合従来の技術では、 $\theta$  が  $0^\circ \leq \theta \leq 40.54^\circ$  または  $75.44^\circ \leq \theta \leq 90^\circ$  のときは検出不可能である。

## 【0006】

【発明が解決しようとする課題】 上述した、従来のチップ部品の実装ずれ検査装置は、図5に示すような $\theta$  ずれを検出できないという欠点があった。

## 【0007】

【課題を解決するための手段】 本発明のチップ部品の実装ずれ検査装置は、プリント基板上のチップ部品に照明を照射する照明器具と、前記照明による反射光を取り込むカメラと、前記カメラが取り込んだ画像のアナログ濃淡信号を二値化する二値化回路と、前記二値化回路の出力である画像データを蓄えるメモリと、各パッドの両側に検査ウィンドウを発生させる検査ウィンドウ発生回路と、前記検査ウィンドウ内の画像データの面積を計算するウィンドウ内面積演算回路と、線対称に発生した検査ウィンドウの面積の加減算を行う加減算回路と、前記加減算回路の出力データと該ウィンドウ内面積演算回路の出力データから実装ずれの良否判定をする判定回路とを含んで構成される。

## 【0008】

【実施例】 次に、本発明について、図面を参照して詳細に説明する。図1は本発明の一実施例を示すブロック図、図2は本発明における検査ウィンドウの発生の際の概略を示す上面図である。

【0009】 図1に示すチップ部品の実装ずれ検査装置は、プリント基板1上に実装されているチップ部品2に照明光3を照射するリング状照明装置4と、反射光5の画像を取り込むカメラ6と、カメラ6の出力が接続されている二値化回路7と、二値化回路7の出力が接続されている画像メモリ8と、図2に示されているような検査ウィンドウ9a~9dを発生する検査ウィンドウ発生回路10と、検査ウィンドウ発生回路10と画像メモリ8が接続されているウィンドウ内面積演算回路11と、ウィンドウ内面積演算回路11の出力が接続されている加減算回路12、13と、加減算回路12、13の出力及びウィンドウ内面積演算回路11の出力が接続されている実装ずれ判定回路19とを含んで構成される。

【0010】 カメラ6は、照明装置4がチップ部品2に照明光3を照射した時の反射光5を取り込む。画像二値化回路7は、カメラ6の出力であるアナログ濃淡信号を二値化し、画像メモリ8に出力する。ウィンドウ内面積演算回路11は、検査ウィンドウ発生回路10が発生した検査ウィンドウ9a~9dのウィンドウ内の二値化された画像データの総和を求め、加減算回路12、13及び実装ずれ判定回路14に出力する。加減算回路12

は、検査ウィンドウ9aの画像データの総和と検査ウィンドウ9bの画像データの総和との加算及び減算を行う。その後加算時の出力データaと、減算時の出力データ（絶対値データ）bは実装ずれ判定回路14に入力される。加減算回路13は、検査ウィンドウ9cの画像データの総和と検査ウィンドウ9dの画像データの総和との加算及び減算を行う。その後加算時の出力データcと、減算時の出力データ（絶対値データ）dは実装ずれ判定回路14に入力される。実装ずれ判定回路14は、式(1)～式(5)のいずれか1つでも成り立つと実装

【0011】

a>しきい値1 …… (1)

b>しきい値2 …… (2)

c>しきい値1 …… (3)

d>しきい値2 …… (4)

a≠0かつc≠0かつa+c>しきい値3 …… (5)

式(1)及び式(3)のしきい値1は、最大許容θずれに対して設定する。式(2)及び式(4)のしきい値2は、横軸方向の最大ずれ許容量に対して設定する。式(5)のしきい値3は、 $\theta=90^\circ$ の場合のθずれに対して設定する。

【0012】

【発明の効果】本発明のチップ部品の実装ずれ検査装置は、図4のような検査ウィンドウを発生させる代わりに図2のような検査ウィンドウを発生させ、さらに線対称に発生した検査ウィンドウの面積の加減算データを処理することによって、チップ部品のθずれ実装不良の良否判定がしやすく欠陥件出力が向上するという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明における検査ウィンドウ発生の概略を示す上面図である。

【図3】従来の一例を示すブロック図である。

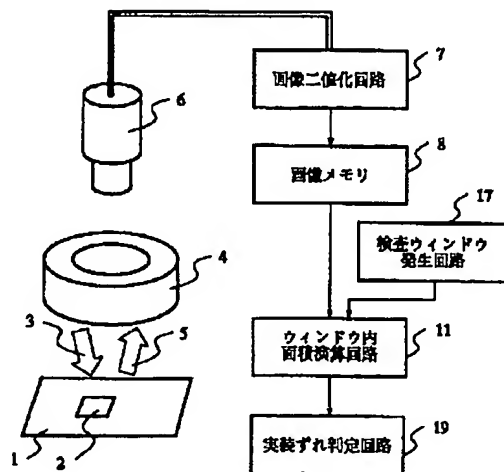
【図4】従来の技術における検査ウィンドウ発生を概略を示す上面図である。

【図5】従来の技術における検査ウィンドウ発生を概略を示す上面図である。

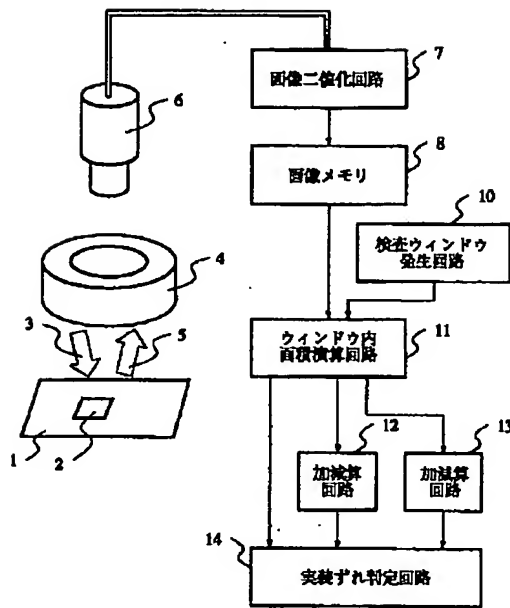
【符号の説明】

- 1 基板
- 2 チップ部品
- 3 照明光
- 4 照明装置
- 5 反射光
- 6 カメラ
- 7 二値化回路
- 8 画像メモリ
- 9a～9d 検査ウィンドウ
- 10 検査ウィンドウ発生回路
- 11 ウィンドウ内面積演算回路
- 12, 13 加減算回路
- 14 実装ずれ判定回路
- 15 パッド
- 16 検査ウィンドウ
- 17 検査ウィンドウ発生回路
- 18 ウィンドウ内面積演算回路
- 19 実装ずれ判定回路
- a, c 加算データ
- b, d 減算データ

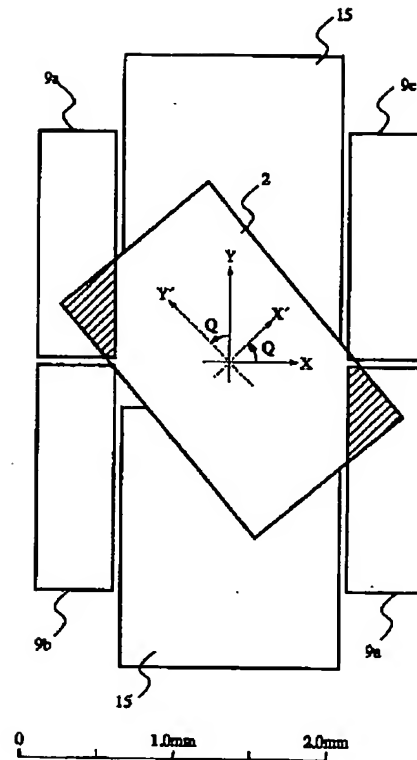
【図3】



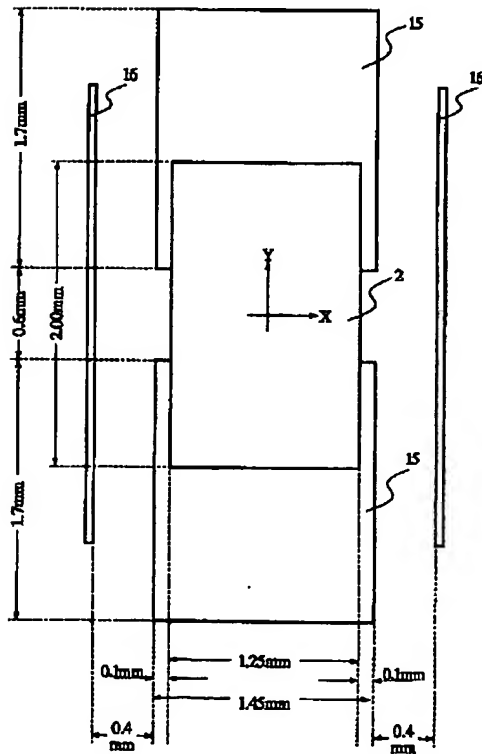
【図1】



【図2】



【図4】



【図5】

